

No active tr.

**DELPHION**

**RESEARCH**   **PRODUCTS**   **INSIDE DELPHION**

Logout Workfiles Saved Searches My Account Search: Quick/Number Boolean Advanced Derwent

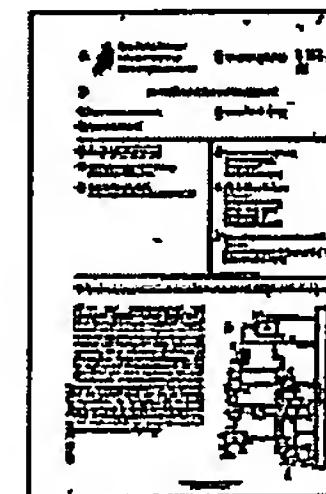
**The Delphion Integrated View**

Get Now:  PDF | File History | Other choices Tools: Add to Work File:  Create new Work

View: [Expand Details](#) | [INPADOC](#) | Jump to: [Top](#)  Go to: [Derwent](#) [Email](#)

>Title: **EP0224707A1: Circuit arrangement for the self-control of a plurality of analogous electrical signals[German][French]**

Derwent Title: Automatic monitoring circuit for several analog signals - provides compliance with prescribed tolerances by successive comparison with reference values and storage of error signals [\[Derwent Record\]](#)



Country: EP European Patent Office (EPO)

Kind: A1 Publ. of Application with search report<sup>1</sup> (See also: [EP0224707B1](#))

Inventor: Esser, Wolfgang;  
Jung, Peter;

Assignee: Nixdorf Computer Aktiengesellschaft  
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1987-06-10 / 1986-10-24

Application Number: EP1986000114814

IPC Code: Advanced: [G01R 19/165](#);  
Core: more...  
IPC-7: [G01R 19/165](#);

Priority Number: 1985-11-22 [DE1985003541343](#)

Abstract: A circuit arrangement is described for automatically monitoring several analog electric signals and for maintaining predetermined ranges of tolerances by successive comparison with reference values. Error alarm signals are produced and stored, dependent upon the comparison and timed (synchronized) simultaneously with the connection of the respective signals to be monitored to a comparator (20). Access is provided to a reference value storage (30) from which reference signals assigned to each single signal and ranges of tolerances defining reference values are timed and led to the comparator (20). The respective outlet (output) signal of the comparator (20) for producing similar error alarm signals to be stored is logically linked with an evaluating signals (ZB 0) indicating which of the two reference values lies at any time on the comparator (20).

INPADOC Legal Status: [Show legal status actions](#) Get Now: [Family Legal Status Report](#)

Designated Country: AT BE CH DE ES FR GB GR IT LI LU NL SE

Family: [Show 7 known family members](#)

First Claim: [Show all claims](#)  
1. Schaltungsanordnung zum selbstdämmigen Überwachen mehrerer analoger elektrischer Signale auf Einhaltung vorgegebener Toleranzbereiche durch sukzessives Vergleichen mit

Referenzwerten und vergleichsabhängiges Erzeugen und Speichern von Fehlersignalen; dadurch gekennzeichnet, daß taktgesteuert gleichzeitig mit der Anschaltung des jeweiligen zu überwachenden Signals an einen Komparator (20) ein Zugriff auf einen Referenzwertespeicher (30) erfolgt, aus dem einem jeden Signal zugeordnete und einen Toleranzbereich definierende Referenzwerte nacheinander taktgesteuert ausgelesen und dem Komparator (20) zugeführt werden und daß das jeweilige Ausgangssignal des Komparators (20) zur Erzeugung gleichartiger zu speichernder Fehlersignale mit einem Auswertesignal (ZB 0) logisch verknüpft wird, das angibt, welcher der beiden Referenzwerte jeweils am Komparator (20) anliegt.

 **Description**  
[Expand description](#)

Die Erfindung betrifft eine Schaltungsanordnung zum selbst-tätigen Überwachen mehrerer analoger elektrischer Signale auf Einhaltung vorgegebener Toleranzbereiche durch sukzessives Vergleichen mit Referenzwerten und vergleichsabhängiges Erzeugen und Speichern von Fehlersignalen. Eine Schaltungsanordnung dieser Art ist aus der US-Patentschrift [4 454 500](#) bekannt.

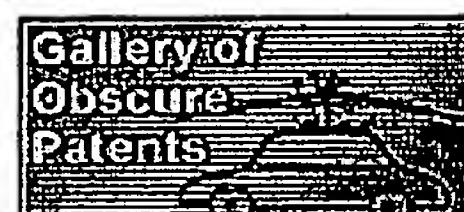
 **Forward References:**

[Go to Result Set: Forward references \(1\)](#)

PDF	Patent	Pub.Date	Inventor	Assignee	Title
	<a href="#">DE19601881A1</a>	1997-07-24	Kleemeier, Manfred, Dipl.-Ing. (FH)	Siemens AG, 80333 Muenchen, DE	<a href="#">Ueberwachungseinric Strom- und Leistungs</a>

 **Other Abstract Info:**

[DERABS G87-158481](#) [DERG87-158481](#)



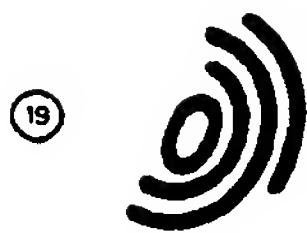
[Nominate this for the Gallery...](#)



**THOMSON**

Copyright © 1997-2006 The Tho  
[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#)

SEARCH  
HOME



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

⑪ Veröffentlichungsnummer: 0 224 707  
A1

⑫

## EUROPÄISCHE PATENTANMELDUNG

㉑ Anmeldenummer: 86114814.6

㉓ Int. Cl. 1: G01R 19/165

㉒ Anmeldetag: 24.10.86

㉔ Priorität: 22.11.85 DE 3541343

㉕ Veröffentlichungstag der Anmeldung:  
10.06.87 Patentblatt 87/24

㉖ Benannte Vertragsstaaten:  
AT BE CH DE ES FR GB GR IT LI LU NL SE

㉗ Anmelder: Nixdorf Computer  
Aktiengesellschaft  
Fürstenallee 7  
D-4790 Paderborn(DE)

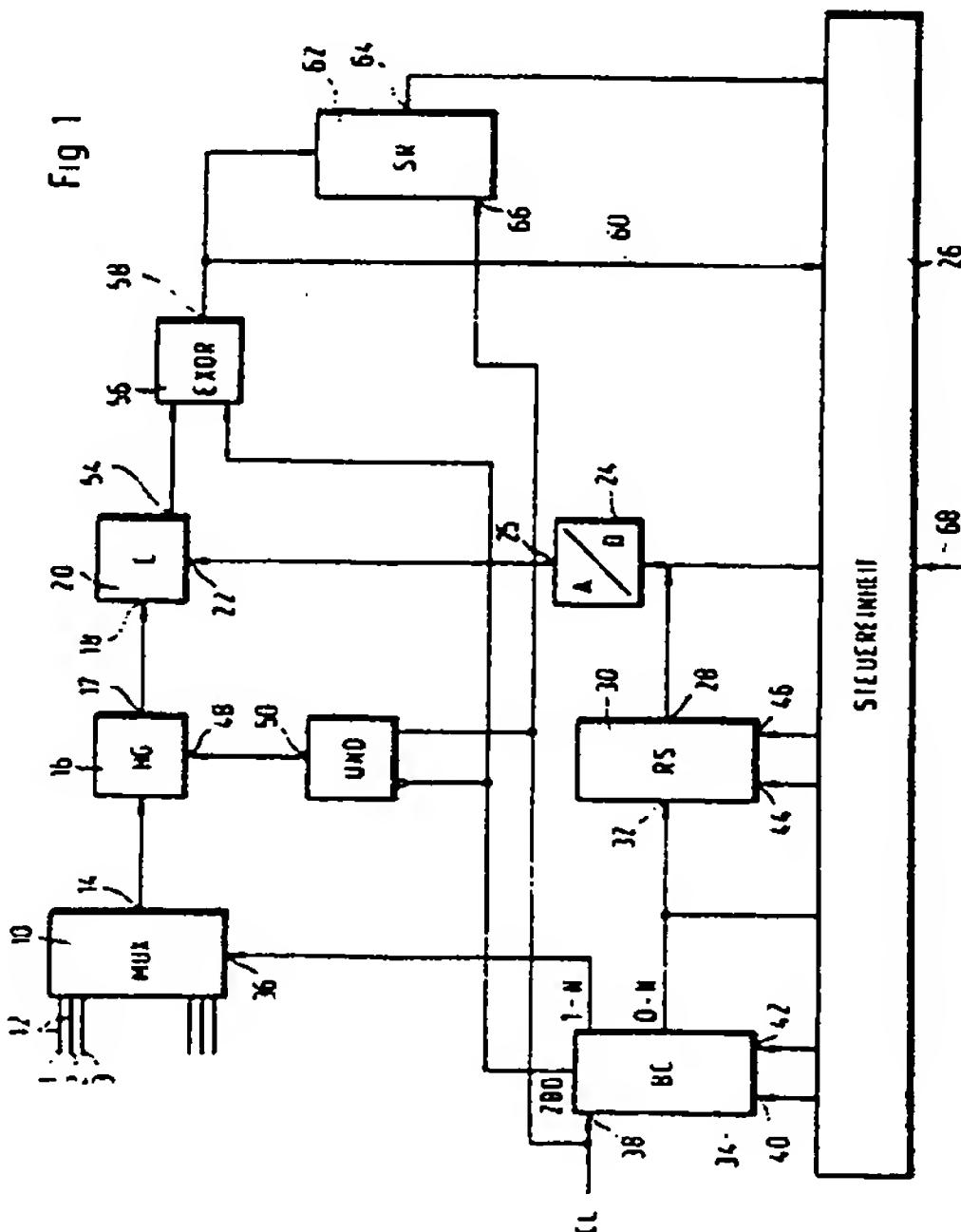
㉘ Erfinder: Esser, Wolfgang  
Erikaweg 2  
D-4790 Paderborn(DE)  
Erfinder: Jung, Peter  
Bleichstrasse 20  
D-4790 Paderborn(DE)

㉙ Vertreter: Patentanwälte Schaumburg &  
Thoenes  
Mauerkircherstrasse 31 Postfach 86 07 48  
D-8000 München 80(DE)

㉚ Schaltungsanordnung zum selbsttätigen Überwachen mehrerer analoger elektrischer Signale.

㉛ Bei einer Schaltungsanordnung zum selbsttätigen Überwachen mehrerer analoger elektrischer Signale auf Einhaltung vorgegebener Toleranzbereiche durch sukzessives Vergleichen mit Referenzwerten und vergleichsabhängigem Erzeugen und Speichern von Fehlersignalen erfolgt taktgesteuert gleichzeitig mit der Anschaltung des jeweiligen zu überwachenden Signals an einen Komparator (20) ein Zugriff auf einen Referenzwertespeicher (30), aus dem einem jeden Signal zugeordnete und einen Toleranzbereich definierende Referenzwerte nacheinander taktgesteuert ausgelesen und dem Komparator (20) zugeführt werden und daß das jeweilige Ausgangssignal des Komparators (20) zur Erzeugung gleichartiger zu speichernder Fehlersignale mit einem Auswertesignal (ZB 0) logisch verknüpft wird, das angibt, welcher der beiden Referenzwerte jeweils am Komparator (20) anliegt.

EP 0 224 707 A1



Schaltungsanordnung zum selbstt igen 趾erwachen mehrerer analoger elektrischer Signale

Die Erfindung betrifft eine Schaltungsanordnung zum selbstt igen 趾erwachen mehrerer analoger elektrischer Signale auf Einhaltung vorgegebener Toleranzbereiche durch sukzessives Vergleichen mit Referenzwerten und vergleichsabh ngiges Erzeugen und Speichern von Fehlersignalen. Eine Schaltungsanordnung dieser Art ist aus der US-Patentschrift 4 454 500 bekannt.

Es ist bei der 趾erwachung elektrischer Anlagen, beispielsweise in Fernmelde- oder Datenverarbeitungsanlagen, h ufig erforderlich, mehrere analoge elektrische Signale hinsichtlich der Einhaltung vorgegebener Toleranzbereiche zu 趾erwachen. Die vorstehend genannte bekannte Schaltungsanordnung k nnte zwar zu diesem Zweck eingesetzt werden, jedoch m tten hierzu relativ umst ndliche Funktionsschritte programmiert werden, die sich durch einen komplizierten Schaltungsaufbau ergeben. Im Laufe des sukzessiven Vergleichs eines analogen elektrischen Signals mit den Referenzwerten ist f r jeden Vergleichsvorgang das Laden eines Referenzwertes in ein Datenregister und das Abfragen eines Sperregisters erforderlich das einem Vergleicher nachgeschaltet ist. Erst nach diesen Schritten k nnen die Abfrageergebnisse der Sperregister in einem Mikroprozessor ausgewertet werden. In der zwischen den Abfragen der Sperregister liegenden relativ langen Zeit k nnen fehlerhafte 趾erwachungsergebnisse entstehen, wenn sich das analoge Signal ndert bzw. der auswertende Mikroprozessor durch andere Programme unterbrochen wird.

Insbesondere f r den vorstehend genannten Einsatzzweck sollte es m glich sein, die 趾erwachung mehrerer analoger Signale selbstt ig in einem zyklischen Ablauf durchzuf hren und die 趾erwachungsergebnisse nach einem jeweiligen Zyklus verf gbar zu haben. Auch dies ist mit der bekannten Schaltungsanordnung nicht ohne weiteres m glich.

Es ist Aufgabe der Erfindung, eine Schaltungsanordnung anzugeben, die diese Anforderungen erf llt und 趾erwachungsfehler der bekannten Schaltungsanordnung vermeidet.

Diese Aufgabe wird f r eine Schaltungsanordnung eingangs genannter Art erfindungsgem d dadurch gel st, da  taktgesteuert gleichzeitig mit der Anschaltung des jeweiligen zu 趾erwachenden Signals an einen Komparator ein Zugriff auf einen Referenzwertespeicher erfolgt, aus dem einem jeden Signal zugeordnete und einen Toleranzbereich definierende Referenzwerte nacheinander taktgesteuert ausgelesen und dem Komparator zugef hrt werden und da  das jeweilige Ausgangssignal des Komparators zur Erzeugung gleichartiger

zu speichernder Fehlersignale mit einem Auswertesignal logisch verkn pft wird, das angibt, welcher der beiden Referenzwerte jeweils am Komparator anliegt.

Die Erfindung sieht also vor, da  in bestimmter zeitlicher Zuordnung zueinander taktgesteuert die sukzessive Anschaltung des jeweiligen zu 趾erwachenden Signals mit der Anschaltung zuvor gespeicherter Referenzwerte koordiniert wird und da  gleichartige, in bestimmter logischer Verkn pfung erzeugte Fehlersignale gespeichert werden. Dies macht insgesamt ein zyklisches selbstt iges Abfragen mehrerer 趾erwachungspunkte in einem elektrischen Ger t m glich, wobei die 趾erwachungsergebnisse nach einem jeweiligen Zyklus gewisserma en als ein B ndel von Aussagen einem Speicher entnommen werden k nnen. Durch Verwendung eines Referenzwertespeichers ist es m glich, jedem der artigen 趾erwachungszyklus neue Referenzwerte f r jedes Analogsignal zugrunde zu legen.

Das digitale Ausgangssignal eines Komparators hat bei der 趾erschreitung eines Referenzwertes durch ein Eingangssignal beispielsweise den Zustand L. Bei der Unterschreitung eines Referenzwertes hat es dann den Zustand H. Eine 趾erschreitung des gr  eren Referenzwertes und eine Unterschreitung des kleineren Referenzwertes kann bei Verwendung eines einzigen Komparators beim jeweiligen Vergleich nur an einem bestimmten Fehlersignalzustand, also entweder nur am Zustand L oder nur am Zustand H erkennbar sein. Deshalb sieht die Erfindung die Erzeugung eines Fehlersignals mit einem bestimmten Zustand vor, indem das Ausgangssignal des Komparators mit einem den jeweils wirksamen Referenzwert identifizierenden Auswertesignal logisch verkn pft wird, so da  ein 趾erschreiten oder ein Unterschreiten eines Referenzwertes gleichartig, d.h. als Abweichen von dem vorgegebenen Toleranzbereich signalisiert wird.

In einer bevorzugten Weiterbildung der Erfindung ist zur sukzessiven Zuf hrung der analogen elektrischen Signale zum Komparator ein Multiplexer vorgesehen. Mit diesem k nnen die zu 趾erwachenden Signale f hrenden Leitungen durch eine entsprechende Multiplexeradressierung in einfacher Weise nacheinander mit dem Komparator verbunden werden.

In einer Weiterbildung der Erfindung ist der Komparator zur Ansteuerung mit den Referenzwerten  ber einen Digital/Analog-Umsetzer mit dem die Referenzwerte digital enthaltenden Referenzwertespeicher verbunden. Durch die Speicherung der Referenzwerte in digitaler Form und Zuf hrung

derselben zum Komparator über einen Digital/Analog-Umsetzer ist ein hoher Genauigkeitsgrad der Referenzwerte am Komparator gewährleistet.

Wenn der Referenzwertespeicher gemäß einer Weiterbildung der Erfindung frei programmierbar ist, so können die im Referenzwertespeicher digital enthaltenen Referenzwerte beliebig geändert werden.

In einer weiteren Ausbildung der Erfindung enthält der Referenzwertespeicher für jedes zu Überwachende Signal unter einer geradzahligen Adresse den kleinen oder den großen Referenzwert und unter der nächsthöheren, ungeradzahligen Adresse den großen bzw. den kleinen Referenzwert und wird der Referenzwertespeicher mit gegenüber dem Multiplexer doppelter Frequenz bei sukzessiv ansteigender Adressenfolge adressiert. Es ist dadurch in einfacher Weise gewährleistet, daß dem Komparator mit jedem zu überwachenden Signal die Referenzwerte nacheinander zugeführt werden.

Dies wird bei einer Schaltungsanordnung zur Überwachung von maximal  $2^N$  analogen elektrischen Signalen gemäß einer Weiterbildung der Erfindung in einfacher Weise dadurch realisiert, daß der Referenzwertespeicher mit den Signalen der Zählerbits 0 bis N und der Multiplexer mit den Signalen der Zählerbits 1 bis N eines Binärzählers adressiert wird. Da dem Multiplexer das niedrigstwertige Zählerbit 0 des Binärzählers nicht zugeführt wird, wird die Adresse des Multiplexers nur bei jedem zweiten Zählschritt des Binärzählers um 1 erhöht. Da aber die Adresse des Referenzwertespeichers bei jedem Zählschritt des Binärzählers um 1 erhöht wird, werden unter jeder Adresse des Multiplexers d.h. bei jedem dem Komparator zugeführten Signal zwei Speicherzellen des Referenzwertespeichers ausgelesen, deren Inhalte über den Digital/Analog-Umsetzer dem Komparator zugeführt werden. Wenn nun jeweils die eine Speicherzelle einen kleinen Referenzwert und die andere Speicherzelle einen großen Referenzwert enthält, so wird jedes zu überwachende analoge elektrische Signal im Komparator mit zwei einen vorgegebenen Toleranzbereich begrenzenden Referenzwerten verglichen.

Bei Anwendung dieser Art der Adressierung des Multiplexers und des Referenzwertespeichers wird das Auswertesignal, das angibt, welcher der beiden Referenzwerte jeweils am Komparator anliegt, vorteilhaft durch das Zählerbit 0 des Binärzählers gebildet. Enthält der Referenzwertespeicher beispielsweise für jedes zu überwachende Signal unter einer geradzahligen Adresse den kleinen Referenzwert und unter der nächsthöheren, ungeradzahligen Adresse den großen Referenzwert, so befindet sich das Zählerbit 0 des Binärzählers im Zustand L, wenn gerade ein kleiner

Referenzwert aus dem Referenzwertespeicher ausgelesen wird, und im Zustand H, wenn gerade ein großer Referenzwert aus dem Referenzwertespeicher ausgelesen wird.

5 In einer vorteilhaften Weiterbildung der Erfindung erfolgt die logische Verknüpfung des jeweiligen Ausgangssignals des Komparators mit dem Signal des Zählerbits 0 des Binärzählers durch ein EXKLUSIV-ODER-Glied. Ist wiederum in dem Referenzwertespeicher für jedes zu überwachende Signal unter einer geradzahligen Adresse der kleine Referenzwert und unter der nächsthöheren, ungeradzahligen Adresse der große Referenzwert gespeichert, und nimmt das Ausgangssignal des Komparators den Zustand L an, wenn ein überwachtes Signal größer als ein Referenzwert ist, und den Zustand H an, wenn ein überwachtes Signal kleiner als ein Referenzwert ist, so erhält man durch die EXKLUSIV-ODER-Verknüpfung des jeweiligen Komparatorausgangssignals mit dem Signal des Zählerbits 0 des Binärzählers, der den Referenzwertespeicher adressiert, ein einheitliches Fehlersignal, das beim Zustand H entweder eine Unterschreitung des kleinen Referenzwertes oder eine Überschreitung des großen Referenzwertes, also ein Abweichen vom vorgegebenen Toleranzbereich signalisiert.

10 In einer weiteren Ausbildung der Erfindung sind der Multiplexer und der Komparator über ein hinsichtlich der Übernahme des jeweiligen Multiplexerausgangssignals steuerbares Halteglied miteinander verbunden, dessen Steuereingang an den Ausgang eines UND-Gliedes angeschlossen ist, das das invertierte Signal des Zählerbits 0 des Binärzählers mit einem diesen inkrementierenden Taktsignal verknüpft. Das Halteglied dient dabei zur definierten Übernahme und Zwischenspeicherung des jeweiligen Multiplexerausgangssignals.

15 In einer bevorzugten Weiterbildung der Erfindung werden die in einem Überwachungszyklus auftretenden Fehlersignale jeweils bis zum Beginn des nächsten Überwachungszyklus in einem Schieberegister gespeichert. Daraus ergibt sich der Vorteil, daß der Schieberegisterinhalt am Ende eines Überwachungszyklus ausgewertet werden kann. Es kann dadurch festgestellt werden, bei welchem analogen elektrischen Signal eine Grenzwertüberschreitung bzw. Grenzwertunterschreitung aufgetreten ist.

20 25 30 35 40 45 50 55 Um diese Auswertung durch eine elektronische Datenverarbeitungsanlage selbsttätig vornehmen lassen zu können, ist in einer weiteren vorteilhaften Ausbildung der Erfindung eine Steuereinheit vorgesehen, die ferner die Programmierung des Referenzwertespeichers zwischen zwei Überwachungszyklen und das definierte Starten und Stoppen der Überwachungszyklen steuert.

Die Erfindung wird im folgenden an Hand der Figuren näher erläutert. Es zeigen:

Fig. 1 ein Ausführungsbeispiel der Erfindung und

Fig. 2 den Signalverlauf an einigen Stellen der Schaltungsanordnung von Fig. 1.

Fig. 1 zeigt eine Schaltungsanordnung zur intermittierenden selbsttätigen Überwachung mehrerer analoger elektrischer Signale hinsichtlich der Einhaltung vorgegebener Toleranzbereiche. Sie enthält einen Multiplexer 10, an dessen Ein gängen 12 die zu überwachenden analogen elektrischen Signale anliegen. Der Ausgang 14 des Multiplexers 10 ist über ein hinsichtlich der Übernahme des jeweiligen Multiplexerausgangssignals steuerbares Halteglied 16 mit dem Meßeingang 18 eines Komparators 20 verbunden. Der Referenzeingang 22 des Komparators 20 ist an den Analogausgang 25 eines Digital/Analog-Umsetzers 24 angeschlossen, dessen Digitaleingang mit einer Steuereinheit 26 einerseits und mit dem Datenausgang 28 eines als Referenzwertespeicher dienenden Schreib-/Lesespeichers 30 andererseits verbunden ist. Die Adresseingänge 32 dieses Referenzwertespeichers 30 sind zum Zwecke des Einspeicherns der Referenzwerte an die Steuereinheit 26 angeschlossen. Ferner sind sie mit sämtlichen Zählerbits 0 bis N eines Binärzählers 34 verbunden, dessen Zählerbits 1 bis N auch an die Adresseingänge 36 des Multiplexers 10 angeschlossen sind.

Der Binärzähler 34 wird über seinen Takteingang 38 von einem Taktsignal CL angesteuert. Sein Zählrichtungseingang 40 und sein Zählvoreinstellungseingang 42 sind ferner mit der Steuereinheit 26 verbunden.

Auch der Referenzwertespeicher 30 ist zur Einspeicherung der Referenzwerte mit seinem Dateineingang 44 und mit seinem Schreibeingang 46 an die Steuereinheit 26 angeschlossen.

Das Halteglied 16 ist an seinem Steuereingang 48 mit dem Ausgang 50 eines UND-Gliedes 52 mit invertierendem Eingang verbunden, das das invertierte Signal ZB 0 des Zählerbits 0 des Binärzählers 34 mit dem Taktsignal CL verknüpft. Durch diese logische Verknüpfung wird bewirkt, daß das jeweilige Multiplexerausgangssignal nur bei einem geradzahligen Zählerstand des Binärzählers 34, d.h. wenn die Adresse des Multiplexers 10 gerade um 1 hochgezählt wurde, in das Halteglied 16 übernommen und von seinem Ausgang 17 an den Meß eingang 18 des Komparators 20 gelegt wird.

Der Ausgang 54 des Komparators 20 ist mit einem Eingang eines EXKLUSIV-ODER-Gliedes 56 verbunden, das das Ausgangssignal des Komparators 20 mit dem Signal ZB 0 des Zählerbits 0 des Binärzählers 34 verknüpft. Am Ausgang 58 dieses EXKLUSIVODER-Gliedes 56 erscheinen dann et-

waige Fehlersignale, die eine Referenzwertüberschreitung und eine Referenzwertunterschreitung durch ein zu überwachendes Signal gleichartig anzeigen.

Die in einem Überwachungszyklus auftretenden Fehlersignale werden einerseits über eine Verbindungsleitung 60 der Steuereinheit 26 direkt zugeführt und andererseits bis zum Beginn des nächsten Überwachungszyklus in einem Schieberegister 62 zwischengespeichert und dann erst über dessen Ausgang 64 der Steuereinheit 26 zugeführt. Das Schieberegister 62 wird, ebenso wie der Binärzähler 34, über seinen Takteingang 66 vom Taktsignal CL gesteuert.

Die Steuereinheit 26 ist zum Zwecke der Binärzählvoreinstellung, des Einspeicherns der Referenzwerte in den Referenzwertespeicher 30 und der Auswertung der im Schieberegister 62 zwischengespeicherten Fehlersignale über ihren Anschluß 68 mit einer in der Figur nicht dargestellten elektronischen Datenverarbeitungsanlage verbunden.

Nachdem vorstehend der Aufbau der in Fig. 1 dargestellten Schaltungsanordnung zur intermittierenden selbsttätigen Überwachung mehrerer analoger elektrischer Signale beschrieben wurde, wird im folgenden die Funktion dieser Schaltungsanordnung an Hand von Fig. 1 in Verbindung mit Fig. 2 näher erläutert.

Die zu überwachenden analogen elektrischen Signale werden den beispielsweise  $2^N$  Eingängen 12 des Multiplexers 10 zugeführt. Wie bereits vorstehend erwähnt, werden die Adresseingänge 36 des Multiplexers 10 von den Zählerbits 1 bis N des Binärzählers 34 angesteuert. Im Unterschied dazu wird der Referenzwertespeicher 30 mit den Zählerbits 0 bis N des Binärzählers 34 adressiert. Der Referenzwertespeicher 30 enthält für jedes zu überwachende Signal unter einer geradzahligen Adresse (einschließlich der Adresse 0) den kleinen Referenzwert und unter der nächsthöheren, ungeradzahligen Adresse den großen Referenzwert. Diese Referenzwerte wurden während einer Initialisierungsphase unter Steuerung durch die Steuereinheit 26 durch eine in der Fig. 1 nicht dargestellte elektronische Datenverarbeitungsanlage eingespeichert. Bevor der erste Überwachungszyklus beginnen kann, wird der Binärzähler 34 auf den Zählerstand  $2^N + 1 - 1$  ebenfalls unter Steuerung durch die Steuereinheit 26 voreingestellt. Da sich bei diesem Zählerstand die Signale aller Zählerbits des Binärzählers 34 im Zustand H befinden, nehmen die Signale aller Zählerbits 0 bis N den Zustand L an, wenn bei gestartetem Überwachungszyklus die erste positive Taktflanke auftritt. Sowohl der Multiplexer 10 als auch der Referenzwertespeicher 30 werden dann mit einer Adresse adressiert, die an sämtlichen Adressstellen

len den Zustand L hat. Bei dieser Adresse wird der Analogeingang 1 des Multiplexers 10 mit dessen Ausgang 14 verbunden, so daß das erste zu überwachende Signal dem Halteglied 16 zugeführt wird. Bei Zustand H des Taktsignals CL wird der Steuereingang 48 des Haltegliedes 16 vom UND-Glied 52 durch ein Signal mit dem Zustand H beaufschlagt, so daß das am Halteglied 16 anliegende Signal in dieses übernommen und damit dem Meßeingang 18 des Komparators 20 zugeführt wird.

Gleichzeitig wird der unter der Adresse 0 im Referenzwertespeicher 30 für das erste zu überwachende Signal digital gespeicherte kleine Referenzwert ausgelesen und über den Digital/Analog-Umsetzer 24 dem Referenzeingang 22 des Komparators 20 zugeführt. Da das erste zu überwachende Signal eine Spannung von 2 V hat und somit den unter der Adresse 0 im Referenzwertespeicher 30 gespeicherten Referenzwert von 1 V überschreitet, behält das Komparatorausgangssignal seinen Zustand L bei. Dieses Komparatorausgangssignal wird mit dem Signal ZB 0 des Zählerbits 0 im EXKLUSIV-ODER-Glied 56 verknüpft. Da das Signal ZB 0 des Zählerbits 0 den Zustand L hat, nimmt das am Ausgang 58 des EXKLUSIV-ODER-Gliedes 56 erscheinende Signal in Übereinstimmung mit dem Ausgangssignal des Komparators 20 den Zustand L an.

Mit der nächsten positiven Flanke des Taktsignals CL wird der momentane Zustand des Ausgangssignals des EXKLUSIV-ODER-Gliedes 56 in das Schieberegister 62 übernommen. Gleichzeitig wird mit dieser positiven Flanke der Binärzähler 34 mit 1 inkrementiert, so daß das Signal des Zählerbits 0 jetzt den Zustand H hat. Da das Zählerbit 0 nicht an den Multiplexer 10 angeschlossen ist, bleibt am Ausgang 14 des Multiplexers 10 weiterhin das erste zu überwachende Signal erhalten. Das Halteglied 16 ist gesperrt, da das an dessen Steuereingang 48 anliegende Ausgangssignal des UND-Gliedes 52 bei einem Signal des Zählerbits 0 mit dem Zustand H den Zustand L annimmt. Da das Signal des Zählerbits 0 aber zur Adressierung des Referenzwertespeichers 30 verwendet wird, wird der unter der Adresse 1 für das erste zu überwachende Signal gespeicherte große Referenzwert von 3 V ausgelesen und über den Digital/Analog-Umsetzer 24 dem Referenzeingang 22 des Komparators 20 zugeführt. Da dieser Referenzwert größer als das erste zu überwachende Signal von 2 V ist, nimmt das Komparatorausgangssignal den Zustand H an. Durch Verknüpfung dieses Komparatorausgangssignals mit dem sich im Zustand H befindenden Signal des Zählerbits 0 im EXKLUSIV-ODER-Glied 56 ergibt sich an dessen Ausgang 58 ein Signal mit dem Zustand L. Dies steht im Einklang mit Fig. 2, die zeigt, daß

das am Analogeingang 1 des Multiplexers 10 anliegende erste zu überwachende Signal größer als der dafür vorgesehene kleine Referenzwert von 1 V und kleiner als der große Referenzwert von 3 V ist.

5 Mit der nächsten positiven Flanke des Taktsignals CL wird der momentane Zustand des Ausgangssignals des EXKLUSIV-ODER-Gliedes 56 wieder in das Schieberegister 62 übernommen. Ferner wird der Binärzähler 34 erneut um 1 auf den Zählerwert 2 hochgezählt (Signal des Zählerbits 1 = H und Signal des Zählerbits 0 = L). Mit dieser Adresse wird der Analogeingang 2 des Multiplexers 10 mit dessen Ausgang 14 verbunden, so daß das zweite zu überwachende Signal von 1 V dem Meßeingang 18 des Komparators 20 zugeführt wird. Gleichzeitig wird der für das zweite zu überwachende Signal vorgesehene kleine Referenzwert von 2 V dem Referenzeingang 22 des Komparators 20 zugeführt. Da der kleine Referenzwert aber größer als das zweite zu überwachende Signal ist, nimmt das Signal am Ausgang 58 des EXKLUSIV-ODER-Gliedes 56 den Zustand H an, d.h. es liegt ein Fehlersignal vor.

20 Durch erneutes Inkrementieren des Binärzählers 34 wird der unter der Adresse 3 im Referenzwertespeicher 30 für das zweite zu überwachende Signal gespeicherte große Referenzwert von 3 V dem Komparator 20 zugeführt. Da dieser Referenzwert größer als das zweite zu überwachende Signal ist, nimmt das Ausgangssignal des EXKLUSIV-ODER-Gliedes 56 erneut den Zustand L an; es ergibt sich also kein Fehlersignal.

25 Das nächste Inkrementieren des Binärzählers 34 führt dazu, daß der unter der Adresse 4 für das dritte zu überwachende Signal von 3 V im Referenzwertespeicher 30 gespeicherte kleine Referenzwert von -1 V dem Komparator 20 zugeführt wird. Ferner wird der Analogeingang 3 des Multiplexers 10 mit dessen Ausgang 14 verbunden. Da das zu überwachende Signal mit 3 V nicht unter dem kleinen Referenzwert von -1 V liegt, entsteht kein Fehlersignal am Ausgang 58 des EXKLUSIV-ODER-Gliedes 56. Dies ist erst mit weiterem Inkrementieren des Binärzählers 34 möglich, wenn der unter der Adresse 5 gespeicherte große Referenzwert von 1 V dem Komparator 20 zugeführt wird. Da dann das zu überwachende Signal mit 3 V über dem großen Referenzwert von 1 V liegt, entsteht ein Fehlersignal. Auch diese Meßschritte sind der Darstellung in Fig. 2 zu entnehmen.

30 35 40 45 50 55 Durch das sukzessive Inkrementieren des Binärzählers 34 bis zum Zählerstand  $2^{N+1} - 1$  werden sämtliche  $2^N$  elektrischen analogen Signale jeweils mit einem für sie vorgesehenen kleinen und großen Referenzwert verglichen. Sie werden also hinsichtlich der Einhaltung vorgegebener Toleranzbereiche selbsttätig überprüft.

Nach Ende eines Überwachungszyklus für mehrere Signale können vor Beginn des nächsten Überwachungszyklus die in dem gerade beendeten Überwachungszyklus aufgetretenen und im Schieberegister 62 gespeicherten Fehlersignale in einer elektronischen Datenverarbeitungsanlage ausgewertet werden.

Sollte während eines Überwachungszyklus eine Fehlmessung auftreten und in der Steuereinheit 26 bzw. der mit ihr verbundenen Datenverarbeitungsanlage als solche erkannt werden, so ist es möglich, diese Messung sofort zu wiederholen, indem die Steuereinheit 26 über den Zählrichtungseingang 40 den Binärzähler 34 entsprechend steuert Außerdem ist es möglich, während eines Überwachungszyklus eventuell nicht belegte Analogeingänge I2 des Multiplexers 10 zu überspringen, indem die Zahl der Meßstellen über den Zählvoreinstellungseingang 42 des Binärzählers 34 so voreingestellt wird, daß die Adressen der nicht belegten Analogeingänge I2 übersprungen werden.

#### Ansprüche

I. Schaltungsanordnung zum selbsttätigen Überwachen mehrerer analoger elektrischer Signale auf Einhaltung vorgegebener Toleranzbereiche durch sukzessives Vergleichen mit Referenzwerten und vergleichsabhängiges Erzeugen und Speichern von Fehlersignalen, dadurch gekennzeichnet, daß taktgesteuert gleichzeitig mit der Anschaltung des jeweiligen zu überwachenden Signals an einen Komparator (20) ein Zugriff auf einen Referenzwertespeicher (30) erfolgt, aus dem einem jeden Signal zugeordnete und einen Toleranzbereich definierende Referenzwerte nacheinander taktgesteuert ausgelesen und dem Komparator (20) zugeführt werden und daß das jeweilige Ausgangssignal des Komparators (20) zur Erzeugung gleichartiger zu speichernder Fehlersignale mit einem Auswertesignal (ZB 0) logisch verknüpft wird, das angibt, welcher der beiden Referenzwerte jeweils am Komparator (20) anliegt.

2. Schaltungsanordnung nach Anspruch I, dadurch gekennzeichnet, daß zur sukzessiven Zuführung der analogen elektrischen Signale zum Komparator (20) ein Multiplexer (10) vorgesehen ist.

3. Schaltungsanordnung nach Anspruch I oder 2, dadurch gekennzeichnet, daß der Komparator (20) zur Ansteuerung mit den Referenzwerten über einen Digital/Analog-Umsetzer (24) mit dem die Referenzwerte digital enthaltenden Referenzwertespeicher (30) verbunden ist.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß der Referenzwertespeicher (30) frei programmierbar ist.

5. Schaltungsanordnung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß der Referenzwertespeicher (30) für jedes zu überwachende Signal unter einer geradzähligen Adresse den kleinen oder den großen Referenzwert und unter der nächsthöheren, ungeradzähligen Adresse den großen bzw. den kleinen Referenzwert enthält und daß der Referenzwertespeicher (30) mit gegenüber dem Multiplexer (10) doppelter Frequenz bei sukzessiv ansteigender Adressenfolge adressiert wird.

6. Schaltungsanordnung nach Anspruch 5 zur Überwachung von maximal  $2^N$  analogen elektrischen Signalen, dadurch gekennzeichnet, daß der Referenzwertespeicher (30) mit den Signalen der Zählerbits 0 bis N und der Multiplexer (10) mit den Signalen der Zählerbits 1 bis N eines Binärzählers (34) adressiert wird.

7. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß das Auswertesignal (ZB 0) durch das Signal des Zählerbits 0 des Binärzählers (34) gebildet wird.

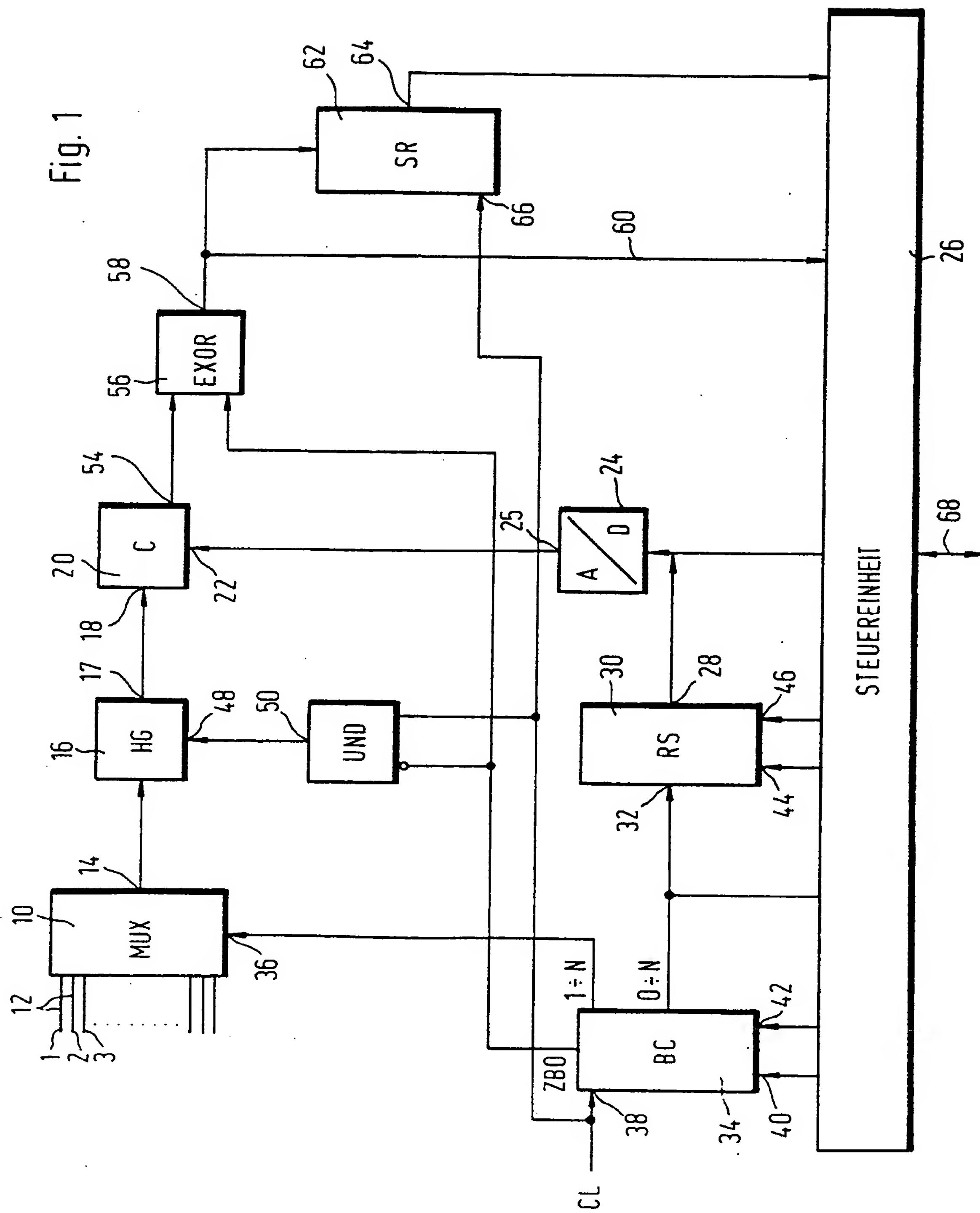
8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß die logische Verknüpfung des jeweiligen Ausgangssignals des Komparators (20) mit dem Signal des Zählerbits 0 des Binärzählers (34) durch ein EXKLUSIV-ODER-Glied (56) erfolgt.

9. Schaltungsanordnung nach einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, daß der Multiplexer (10) und der Komparator (20) über ein hinsichtlich der Übernahme des jeweiligen Multiplexerausgangssignals steuerbares Halteglied (16) miteinander verbunden sind, dessen Steuereingang (48) an den Ausgang (50) eines UND-Gliedes (52) angeschlossen ist, das das invertierte Signal des Zählerbits 0 des Binärzählers (34) mit einem diesen inkrementierenden Taktignal (CL) verknüpft.

10. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die in einem Überwachungszyklus auftretenden Fehlersignale jeweils bis zum Beginn des nächsten Überwachungszyklus in einem Schieberegister (62) gespeichert werden.

II. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß eine Steuereinheit (26) vorgesehen ist, die die Programmierung des Referenzwertespeichers (30) zwischen zwei Überwachungszyklen, das definierte Starten und Stoppen der Überwachungszyklen und das Auswerten der im Schieberegister (62) gespeicherten Fehlersignale durch eine elektronische Datenverarbeitungsanlage steuert.

Fig. 1



0 224 707

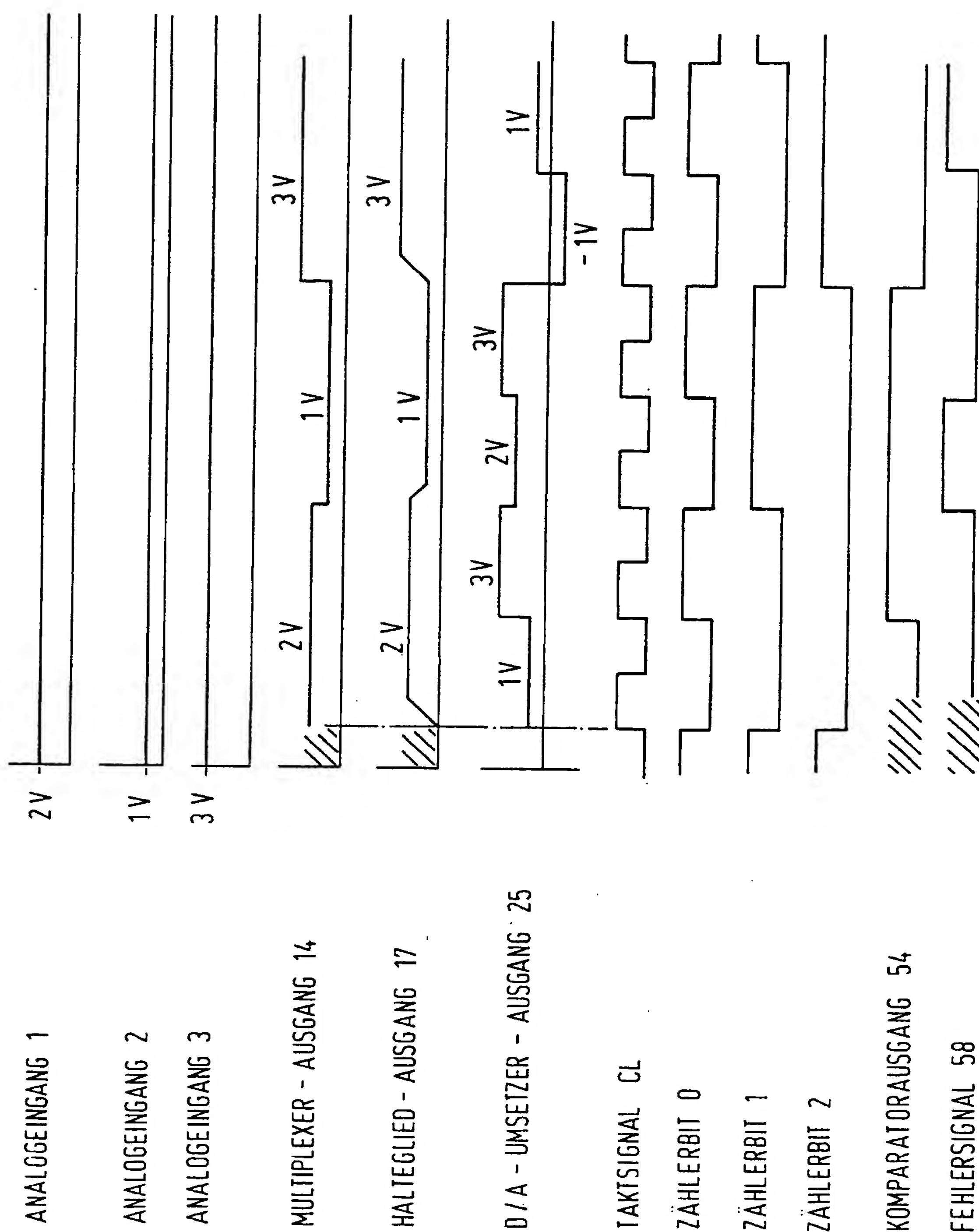


Fig. 2



Europäisches  
Patentamt

# EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 86 11 4814

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betreff Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
A	ELECTRONIC DESIGN, Band 32, Nr. 25, Dezember 1984, Seite 269, Waseca, MN, US; C. PANASUK: "CMOS comparator chip multiplexes 4 inputs under digital control" * Insgesamt *	1	G 01 R 19/165
A, D	---	1	
	DE-A-3 002 199 (HITACHI) * Seite 4, Zeile 33 - Seite 5, Zeile 11; Seite 5, Zeilen 18-28; Seite 7, Zeile 17 - Seite 9, Zeile 9; Figur 3 * & US-A-4 454 500		
	---		
A	DE-B-1 284 987 (HAWKER SIDDELEY DYNAMICS LTD)		RECHERCHIERTE SACHGEBIETE (Int. Cl. 4)
A	---		G 01 R H 03 K
	DE-B-1 944 191 (SIEMENS AG)		
	-----		
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG	Abschlußdatum der Recherche 17-03-1987	Prüfer KUSCHBERT D.E.	
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet	E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist		
Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie	D : in der Anmeldung angeführtes Dokument		
A : technologischer Hintergrund	L : aus andern Gründen angeführtes Dokument		
O : nichtschriftliche Offenbarung	& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument		
P : Zwischenliteratur			
T : der Erfindung zugrunde liegende Theorien oder Grundsätze			